

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-068955
(43)Date of publication of application : 10.03.1998

(51)Int.Cl.

G02F 1/1339
G02B 5/20
G02F 1/1335
G02F 1/1343
G02F 1/136

(21)Application number : 08-228263
(22)Date of filing : 29.08.1996

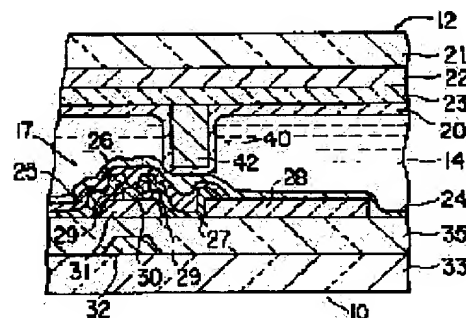
(71)Applicant : TOSHIBA CORP
(72)Inventor : HASEGAWA TSUTOMU
MORI YASUSHI
KAMIURA NORIHIKO

(54) LIQUID CRYSTAL DISPLAY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to inexpensively obtain an element which is capable of maintaining a uniform cell gap in spite of action of external force thereon, has a high opening rate and contrast and has a good display grade by arranging columnar spaces functioning as auxiliary capacitors for holding the voltage impressed on pixel electrodes on switching elements.

SOLUTION: A counter substrate 12 has a transparent glass substrate 21. Color filters 22 and transparent counter electrodes 23 consisting of ITO are successively laminated and formed over the entire part of the inside surface of the glass substrate 21. Further, transparent oriented films 20 consisting of polyimide, etc., are formed on the counter electrodes 23. The columnar spacers 40 are disposed in the regions between source electrodes 27 of respective TFs 17 and the counter electrodes 23 between the array substrate 10 and the counter substrate 12. These columnar spacers 40 maintain the cell gap between the array substrate 10 and the counter substrate 12 at a prescribed value and function also as the auxiliary capacitors.



LEGAL STATUS

[Date of request for examination] 30.08.2000
[Date of sending the examiner's decision of rejection] 17.07.2001
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

【特許請求の範囲】

【請求項1】画素電極、および上記画素電極を駆動するスイッチング素子を有する第1の基板と、

対向電極を有し上記第1の基板に対向配置された第2の基板と、

上記第1および第2の基板間に封入された液晶層と、を備え、

上記スイッチング素子と対向電極とが対向する領域に、誘電体層を含み補助容量を形成する柱状スペーサを設けたことを特徴とする液晶表示素子。

【請求項2】上記画素電極は上記スイッチング素子上に延出した延出部を有し、上記柱状スペーサは、上記延出部と対向電極との間に設けられていることを特徴とする請求項1に記載の液晶表示素子。

【請求項3】上記対向基板は、対向電極と対向して設けられたカラーフィルタを備え、

上記柱状スペーサは、上記カラーフィルタから延出しているとともにカラーフィルタ材料を積層して形成された柱体を有し、上記柱体の延出端は、誘電体層を介して上記画素電極の延出部に接触していることを特徴とする請求項2に記載の液晶表示素子。

【請求項4】画素電極、およびソース電極を介して上記画素電極に電気的に接続されたスイッチング素子を有する第1の基板と、

対向電極を有し上記第1の基板に対向配置された第2の基板と、

上記第1および第2の基板間に封入された液晶層と、を備え、

上記ソース電極と対向電極とが対向する領域に、誘電体層を含み補助容量を形成する柱状スペーサを設けたことを特徴とする液晶表示素子。

【請求項5】上記柱状スペーサは、上記対向電極から延出しているとともに導電体により形成された柱体を有し、上記柱体の延出端は、誘電体層を介して上記ソース電極に接触していることを特徴とする請求項4に記載の液晶表示素子。

【請求項6】上記柱状スペーサは、誘電体層を介して上記ソース電極に接触した一端と、誘電体層を介して上記対向電極に接触した他端とを有する柱体を備えていることを特徴とする請求項4に記載の液晶表示素子。

【請求項7】上記柱状スペーサは、上記ソース電極から延出しているとともに導電体により形成された柱体を有し、上記柱体の延出端は、誘電体層を介して上記対向電極に接触していることを特徴とする請求項4に記載の液晶表示素子。

【請求項8】上記対向基板は、対向電極と対向して設けられたカラーフィルタを備え、

上記柱状スペーサは、上記カラーフィルタから延出しているとともにカラーフィルタ材料を積層して形成された柱体を有し、上記柱体の延出端は、誘電体層を介して上

記ソース電極に接触していることを特徴とする請求項4に記載の液晶表示素子。

【請求項9】上記誘電体層は、上記スイッチング素子および画素電極を覆った配向膜と、上記対向電極を覆った配向膜と、を含んでいることを特徴とする請求項1ないし8のいずれか1項に記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示素子に関する。

【0002】

【従来の技術】一般に、液晶表示素子は、それぞれ電極が形成されているとともに互に対向した1組の基板を有し、これらの基板間には、液晶層が封入されている。1組の基板は、所定の隙間（セルギャップ）を置いて対向しており、このセルギャップは、液晶表示素子の表示特性に重大な影響を及ぼす。すなわち、液晶表示素子の全面にわたってセルギャップが均一でない場合、色むら、表示むら、干涉縞の発生など表示品位劣化の原因となる。近年、液晶表示素子の高精細化、大容量表示化にともない、従来より大きな面積に亘ってセルギャップを高精度に均一に保つことが必要となっている。

【0003】従来、セルギャップを均一に保つために、一方の基板上にスペーサ粒子を散布し、この基板上に他方の基板を対向配置している。しかし、スペーサの分布密度のばらつきやスペーサの塊により、セルギャップが不均一になるという問題がある。また、散布されたスペーサが画素上に存在すると、スペーサが光シャッターとしての機能を果たさないために、コントラストの低下を引き起こすという問題がある。

【0004】更に、スペーサの散布密度の低い部分を指等で押すことにより外力が作用すると、セルギャップが著しく減少し種々の問題が生じる。例えば、液晶配向（特にスメクティック層の液晶配向）が乱れたり、スペーサが変形あるいは割れて周辺の配向膜を破壊したり、対向する基板間で短絡して表示不良となったり、薄いガラス基板（厚さ約0.7mm以下）を用いるときにはガラス基板が破損したりすることがある。

【0005】この様な問題を解決するものとして、特開平1-134336号に示されているような液晶表示素子が提供されている。この液晶表示素子は、表面に画素電極、配線等をマトリックス状に形成したアレイ基板上に配向膜を形成し、この配向膜上にフォトリソグラフィ等によって柱状スペーサを形成し、次に他方の基板を対向配置した構成を有している。上記のような柱状スペーサは、フォトリソグラフィにより形成されるため、非画素部に均一な分布密度で所望の形状に形成することが可能となる。

【0006】

【発明が解決しようとする課題】スペーサ粒子を散布す

る方法では、散布されたスペーサ粒子の90%以上が基板上に落下し、セルギャップ保持のために利用される。言い換えれば、基板間に挟まれるスペーサ粒子とはほぼ同量のスペーサ粒子を散布すればよい。

【0007】ところが、柱状スペーサをフォトリソグラフィにより形成する場合、基板全面に感光性樹脂を塗布し、露光後現像を行う。そして、柱状スペーサが形成される部分以外の感光性樹脂は、現像液に溶かされ、廃棄される。100ミクロン角の画素に5ミクロン角の柱状スペーサを形成する場合、基板上に塗布された感光性樹脂の約0.25%が柱状スペーサとなり利用されるが、残りの99.75%は利用されず廃棄される。このように、柱状スペーサは材料（感光性樹脂）の利用効率が極めて低いため、製造コストが増加するという深刻な問題がある。

【0008】一方、薄膜トランジスタ（以下、TFTと称する）を用いた液晶表示素子においては、液晶分子を保持駆動させるため、画素毎に補助容量（Cs：ストレージキャパシタ－ともいう）と呼ばれるコンデンサが形成されている。この補助容量は、画素電極と補助容量線（Cs線）とこれらの間に挟まれた絶縁体で構成されている。

【0009】補助容量線は、信号線やゲート線と同様に、液晶セルの外部まで引き出され、半導体スイッチング素子の形成された第1の基板と対向する第2の基板上の対向電極と同電位が与えられる。

【0010】液晶表示素子の開口率を向上するために補助容量線を細くすると、補助容量に蓄積される電荷量が減少してしまう。そのため、補助容量線は細くすることができず、補助容量線による開口率の低下が問題となっている。また、配線抵抗を下げるために、補助容量線としてアルミニウムやクロム等の不透明なメタル配線を用いた場合、液晶表示素子の開口率を下げる要因となる。

【0011】更に、補助容量線がゲート線や信号線と短絡して表示欠陥を生じることもあり問題となっている。特に、補助容量線と信号線とが交差する部分は画素数とほぼ同数あるため、これらの交差部分で短絡する確率が高い。補助容量線と信号線との短絡はC-Sショートと呼ばれ、TFTアレイの不良の主原因となっている。

【0012】一方、補助容量線上に画素電極を形成した場合、画素電極表面には凹凸が形成され、この段差部分で液晶の配向不良が生じるという問題がある。特に、液晶材料として、スメクティック相である強誘電性液晶（FLC）、反強誘電性液晶（AFLC）、ディストロテッド・ヘリカル・フェロエレクトリック・液晶（DH F）、ツイステッド・フェロエレクトリック液晶（TF LC）などを用いた場合、深刻な問題となる。

【0013】この発明は以上の問題点に鑑みなされたもので、その目的は、セルギャップムラがなく、外部から局所的な力が作用した場合でも表示不良を生じることが

なく、またC-Sショート及びゲート線-補助容量線間のショートのない、高開口率で良好な表示品位を有する液晶表示素子を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するため、請求項1に係るこの発明の液晶表示素子は、画素電極、および上記画素電極を駆動するスイッチング素子を有する第1の基板と、対向電極を有し上記第1の基板に対向配置された第2の基板と、上記第1および第2の基板間に封入された液晶層と、を備え、上記スイッチング素子と対向電極とが対向する領域に、誘電体層を含み補助容量を形成する柱状スペーサを設けたことを特徴としている。

【0015】また、請求項4に係るこの発明の液晶表示素子は、画素電極、およびソース電極を介して上記画素電極に電気的に接続されたスイッチング素子を有する第1の基板と、対向電極を有し上記第1の基板に対向配置された第2の基板と、上記第1および第2の基板間に封入された液晶層と、を備え、上記ソース電極と対向電極とが対向する領域に、誘電体層を含み補助容量を形成する柱状スペーサを設けたことを特徴としている。

【0016】上記のように構成された液晶表示素子によれば、画素電極の領域では、画素電極（導体）、液晶分子（誘電体）、対向電極（導体）からなる液晶コンデンサが形成されている。

【0017】また、柱状スペーサは、スイッチング素子あるいはスイッチング素子のソース電極と対向電極との間を延び、第1および第2の基板間のセルギャップを維持するとともに、一端部がソース電極に接触し他端部が対向電極に接触しているため、補助容量としても機能する。

【0018】すなわち、柱状スペーサの設けられたスイッチング素子の領域では、ソース電極（導体）、誘電体層、対向電極（導体）からなる柱コンデンサが形成されている。そして、画素電極とソース電極とは電気的に接続され同電位であるため、柱コンデンサは上述した液晶コンデンサと並列に接続された状態となっている。従って、柱コンデンサ、つまり、柱状スペーサは、補助容量として作用する。

【0019】そのため、液晶表示素子の保持駆動のために設けられていた補助容量線が不要となり、ゲート線-補助容量線間の短絡不良を防止できるとともに、開口率を著しく上げることが可能となる。また、従来のように補助容量線を基板周縁部まで引き出す必要がなくなり、その結果、液晶表示素子の狭額縁化が可能となる。

【0020】画素電極に重ねて設けられていた補助容量線を省略できることから、画素電極の凹凸をなくし平坦とすることができる。そのため、画素電極の凹凸に起因する液晶配向不良がなくなり、液晶表示素子のコントラストが向上する。

【0021】また、本発明における柱状スペーサの誘電層は、感光性ポリイミド、ポリイミド、感光性アクリル、アクリル、感光性エポキシ、エポキシ、感光性ベンゾシクロブチンポリマー、ベンゾシクロブチンポリマー、ポリフッ化ビニリデン、エポキシアクリレートなどの樹脂、あるいは二酸化珪素、窒化珪素などの無機物などの誘電体（絶縁体）から選ばれる少なくとも1つの材料を用いることが望ましい。

【0022】また、柱状スペーサの誘電層には、強誘電体として、PZT、PZTL等のペロブスカイト型無機誘電体、ロッシェル塩、チタン酸バリウム、メタニオブ酸鉛、硫酸グリシン、硝酸カリ、亜硝酸ナトリウム、チタン酸ビスマス、タンタル酸リチウム、ヨウ素酸カリウム、フッ化バリウムマグネシウムのいずれかを用いることができるとともに、有機強誘電体として、ポリビニリデンフロライド（PVDF）、ビニリデンフロライドとトリフルオロエチレンとの共重合体、ビニリデンサナイドとビニルアセテートとの共重合体のいずれかを使用することができる。

【0023】本発明における柱状スペーサの導電層は、クロム、チタン、アルミニウム、ニッケル、銅、金、銀、タンダステン、モリブデン、タンタル、インジウム、スズ、インジウム酸化物、インジウムスズ酸化物、鉄、コバルト、イットリウム、イットリウム酸化物、グラファイト等、あるいはこれらの材料の混合物合金から選ばれる少なくとも1つの材料で形成することが好ましい。このような材料を用いることにより、柱状スペーサの構成物質が液晶中に溶け出すことがなく、信頼性が高い液晶表示素子を提供することができる。

【0024】また、請求項3又は8に係るこの発明に係る液晶表示素子によれば、柱状スペーサの少なくとも一部はカラーフィルタ材料を積層して形成されている。この場合、基板にカラーフィルタを形成する際、柱状スペーサの少なくとも一部を併せて形成することができる。そのため、柱状スペーサ形成のためのフォトリソグラフィ工程が簡略化する。

【0025】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態について詳細に説明する。図1および図2に示すように、この発明の第1の実施の形態に係るアクティブマトリックス型の液晶表示素子は、第1の基板としてのアレイ基板10と、アレイ基板に対向して配置され第2の基板として機能する対向基板12と、これらの基板間に封入された液晶層14と、を備えている。

【0026】アレイ基板10は矩形状の透明なガラス基板33を備え、このガラス基板33上には、互いに平行な多数本のゲート線32と、これらのゲート線と略直交する多数本の信号線16と、がマトリックス状に形成されている。信号線16とゲート線32とによって囲まれる各領域内には、インジウムスズ酸化物（以下、ITO

と称する）から成る透明な画素電極28が形成されている。

【0027】各信号線16と各ゲート線32との交差部分には、ゲート線32の自体をゲート電極とした逆スタガ構造の薄膜トランジスタ（以下、TFTと称する）17が設けられている。

【0028】TFT17について詳細に説明すると、ガラス基板33上に形成されたゲート線32は、ゲート酸化膜と酸化シリコン膜との積層構造を有するゲート絶縁膜35によって覆われ、更に、ゲート絶縁膜35上には、アモルファスシリコン（以下、a-Siと称する）薄膜から成る半導体薄膜31が形成されている。

【0029】半導体薄膜31上には、チャネル形成時に半導体薄膜31を保護するため窒化シリコン膜から成るチャネル保護膜30が形成されている。そして、半導体薄膜31およびチャネル保護膜30上には、それぞれオーミック層29を介して半導体薄膜31に電気的に接続されたソース電極27、および信号線32と一体のドレイン電極26が配置されている。また、ソース電極27は画素電極28と電気的に接続されている。

【0030】そして、上記構成のTFT17は酸化シリコンの保護層25によって覆われている。また、保護層25、ゲート線32、信号線16、画素電極181等は、ポリイミド等からなる配向膜24によって覆われている。

【0031】一方、対向基板12は透明なガラス基板21を備え、このガラス基板の内面全体に亘ってカラーフィルタ22およびITOからなる透明な対向電極23が順に積層形成されている。更に、対向電極23上には、ポリイミド等からなる透明な配向膜20が形成されている。

【0032】また、アレイ基板10と対向基板12との間において、各TFT17のソース電極27と対向電極23との間の領域には柱状スペーサ40が設けられている。これらの柱状スペーサ40は、アレイ基板10と対向基板12との間のセルギャップを所定の値に維持するとともに、後述するように、補助容量としても機能している。

【0033】詳細に述べると、各柱状スペーサ40は、対向基板12の対向電極23表面からほぼ垂直に延出した角柱状の柱体42を有し、この柱体は導体としての銅により高さ5ミクロンに形成されている。そして、柱体42は、対向電極23に接している上端を除いて配向膜20によって覆われている。また、柱体42の延出端は、配向膜20を介して、アレイ基板10側の配向膜24に接触し、TFT17のソース電極27と対向している。

【0034】これにより、アレイ基板10のソース電極27と対向基板12上の銅の柱体42との間に酸化シリコンの保護層25およびポリイミドの配向膜20、24

が挟まれている。そして、酸化シリコンおよびポリイミドは誘電体であるから、ソース電極27、酸化シリコン保護層25、ポリイミド配向膜20、24、および銅の柱体42の積層体は、補助容量機能を有する柱状スペーサを構成している。

【0035】次に、以上のように構成された液晶表示素子の製造方法について説明する。まず、アレイ基板10のガラス基板33上に、MoTa合金からなるゲート線32をマグネトロンスパッタ法を用いて形成し、次にゲート酸化膜と窒化シリコンからなるゲート絶縁膜35を積層形成する。

【0036】続いて、ゲート絶縁膜35上に、 $a-Si$ 膜31と、窒化シリコンからなるチャネル保護膜30とをCVD法によって形成する。エッチングにより $a-Si$ 膜の島を形成した後、オーミック層29を形成する。その後、各領域に画素電極28を形成し、更に、Mo/A1からなるソース電極27及びドレイン電極26を形成する。これにより、TFT17が完成する。

【0037】最後に厚さ2500オングストロームの酸化シリコンの保護層25をTFT17上に形成する。ソース電極27上の保護層25は補助容量の誘電体として機能する。

【0038】一方、対向基板12は、ガラス基板21上にカラーフィルタ22を形成した後、ITOからなる透明の対向電極23を全面に形成する。続いて、柱状スペーサ40を形成する部分以外の領域を、厚さ5ミクロンのポジ型レジストによってマスクする。この状態で、ポジ型レジスト上に銅の膜をスパッタ法で作成し、これを銅イオンを含んだメッキ槽に入れてメッキする。その後、ポジ型レジストを剥離することにより、高さ5ミクロンの銅製の角柱体42が形成される。

【0039】続いて、TFT17の形成されたアレイ基板10、および、カラーフィルタ22、対向電極23、柱体42の形成された対向基板12上に、配向膜24、20として可溶性ポリイミド（日本合成ゴム社製AL-3046）をそれぞれ印刷し、ホットプレートを用いて80℃で1分間焼成後、さらにN₂オーブン中で180℃、30分間焼成して溶剤を揮発させる。形成されたポリイミドの厚さは500オングストロームであった。

【0040】その後、ポリイミド膜をラビング処理して配向膜24、20とした。この際、各柱体42の周辺部まで十分に配向処理するため、ラビング布にはレーヨン製で毛先の直径が0.1~1.0ミクロンのものを使用した。

【0041】次に、対向基板12のガラス基板21周辺部に、直径5μmのファイバーを混ぜたエポキシ系シール材を塗布した後、対向基板12をアレイ基板12と対向配置する。そして、これらの基板を正確に位置合わせし、2枚の基板を加圧した状態でオーブンに入れ、160℃で3時間加熱する。これにより、シール材を完全に

硬化させ、アレイ基板10と対向基板12とを貼り合わせる。

【0042】この状態において、アレイ基板10上の各TFT17のソース電極27と対向基板12上の柱体42との間には、酸化シリコンの保護層25およびポリイミド配向膜24、20が挟まれる。そして、酸化シリコンとポリイミドは誘電体であることから、ソース電極27、酸化シリコン保護層25、ポリイミド配向膜24、20、および銅製の柱体42からなる積層体は、補助容量機能を有する柱状スペーサ40を構成する。

【0043】本実施の形態において、各柱状スペーサ40は、縦30μ、横100μ、高さ5μの四角柱で、容量0.4pFのコンデンサーを構成している。最後に、アレイ基板10と対向基板12との間の隙間に、カイラルネマティック液晶材料を注入することにより、対角9インチのTN液晶表示素子が完成する。

【0044】なお、柱状スペーサ40は、1mm²当たり、0.05個~700個の割合で配置されることが好ましい。また、柱状スペーサ40のガラス基板21あるいは33に対して平行な断面形状は、円形や楕円形が好ましく、あるいは、正方形、長方形、三角形等の多角形でも良い。

【0045】本発明者等は、上記のように構成された液晶表示素子について種々の試験を行った。その際、各画素電極28上にはスペーサが設けられておらず、画素電極が平坦であるため、液晶の配向は均一で配向欠陥は見られなかった。

【0046】また、柱状スペーサ40は完全に補助容量として機能し、書き込み時間33μs、フレーム周期16.7msで良好な保持駆動をすることができ、極めて良好な表示画像が得られた。更に、柱状スペーサ40はセルギャップを維持するためのスペーサとしても有効に機能し、セルギャップは、液晶表示素子の全面にわたって±0.05μという高精度に維持することができた。

【0047】柱状スペーサ40は非常に硬いため、液晶表示素子の中央を指で強く押しても、あるいは、3kg/cm²の加圧力を印加した場合でも、表示品位に何等影響を与えなかった。

【0048】また、液晶表示素子を70℃、湿度50%の環境下で1000時間連続駆動試験を行った結果、柱状スペーサ40から液晶中に何も溶け出さず、また、電圧保持率やコントラストの低下もなく、1000時間駆動後も良好な表示品位が得られた。

【0049】上記のように構成された液晶表示素子によれば、各TFTのソース電極と対向電極との間には柱状スペーサが設けられ、これらの柱状スペーサは、アレイ基板と対向基板間のセルギャップを均一に維持するとともに、補助容量としても機能する。

【0050】そのため、液晶表示素子の保持駆動のために設けられていた従来の補助容量線が不要となり、ゲー

ト線—補助容量線間の短絡不良といった不都合を防止できるとともに、開口率を著しく上げることができる。また、従来のように補助容量線を基板周縁部まで引き出す必要がなく、液晶表示素子の狭額縁化が可能となる。

【0051】画素電極に重ねて設けられていた補助容量線を省略できることから、画素電極の凹凸をなくし平坦とすることができる。そのため、画素電極の凹凸に起因する液晶配向不良がなくなり、液晶表示素子のコントラストが向上する。

【0052】また、補助容量線が不要となることに伴い、従来補助容量線に与えていた電位も不要となることから、その分だけ消費電力の削減を図ることができる。更に、補助容量線が不要となり、補助容量線を形成するためのフォトリソグラフィ工程を削減することができる。柱状スペーサ形成工程のコストは、粒状のスペーサを散布する従来の工程よりも高くなるが、補助容量線の形成工程を削減できるため、液晶表示素子の全体的な製造コストは、粒状スペーサ散布型の液晶表示素子よりも安くすることができる。

【0053】一方、柱状スペーサを補助容量として機能させるためには、柱状スペーサの一部が画素電極あるいはソース電極に接している必要がある。言い換えると、柱状スペーサを画素電極と対向電極との間に設けた場合でも、柱状スペーサを補助容量として機能させることができる。しかしながら、この場合、以下の問題が生じる。

【0054】すなわち、画素電極に重ねて柱状スペーサを設けた場合、柱状スペーサの部分は非表示領域となり、開口率が低下する。また、柱状スペーサの容量を増加するために画素電極と対向電極との間の距離を液晶層の厚さよりも短くしたり、あるいは、画素電極や対向電極上に導体層を設けた場合、柱状スペーサの周囲に電界が広がる。そして、液晶分子が上記電界の影響を受け、柱状スペーサの周辺部に、つまり、画素電極領域に、配向不良領域が生じる。このような配向不良領域は光抜けとなって視認され、その結果、液晶表示素子のコントラストおよび表示品位が低下する。

【0055】これに対して、本実施の形態に係る液晶表示素子のように、各柱状スペーサがTFTのソース電極領域に設けられている場合、柱状スペーサによって開口率が低下することはない。また、柱状スペーサからの電界により柱状スペーサ周辺に液晶配向不良領域が生じた場合でも、ソース電極領域は非表示領域であるため、液晶表示素子のコントラストおよび表示品位が低下することはない。

【0056】図3は、この発明の第2の実施の形態に係る液晶表示素子を示している。本実施の形態に係る液晶表示素子は、カラーフィルタを形成するためのアクリル樹脂の積層体により各柱状スペーサ40の柱体42を構成している点において、上述した第1の実施の形態と相

違っている。

【0057】すなわち、各柱状スペーサ40の柱体42は、対向基板12に形成されたカラーフィルタ22の内面からほぼ垂直に延出した角柱形状を有している。そして、柱体42は、カラーフィルタ22を形成する際に、赤色、緑色、青色、黒色のアクリル樹脂を順に積層することにより形成されている。

【0058】また、柱体42は、カラーフィルタ22側の端を除き、ITOからなる対向電極23、ポリイミドからなる配向膜20によって覆われている。そして、柱体42の延出端は、アレイ基板10側に設けられたTFT17のソース電極27上に位置し、対向電極23、配向膜20を介して、アレイ基板側の配向膜24に接触している。

【0059】これにより、アレイ基板10のソース電極27と対向基板12上の柱体42との間に酸化シリコンの保護層25およびポリイミドの配向膜20、24が挟まれている。そして、酸化シリコンおよびポリイミドは誘電体であるから、ソース電極27、酸化シリコン保護層25、ポリイミド配向膜20、24、および柱体42の積層体は、補助容量機能を有する柱状スペーサを構成している。

【0060】なお、液晶表示素子の他の構成は、前述した第1の実施の形態と同一であり、同一の部分には同一の参照符号を付してその詳細な説明を省略する。次に、以上のように構成された第2の実施の形態に係る液晶表示素子の製造方法について説明する。

【0061】まず、第1の実施の形態と同様な方法により、アレイ基板10のガラス基板33上に、ゲート線32、ゲート絶縁膜35、信号線16、画素電極28、TFT17等を形成する。続いて、TFT17上に、厚さ800オングストロームの酸化シリコンの保護層25を形成する。ソース電極27上の保護層25は補助容量の誘電体として機能する。

【0062】一方、対向基板12については、ガラス基板21上にカラーフィルタ22を形成する。この場合、まず、ガラス基板21上に赤色の顔料を分散させたアクリル系レジストを印刷し、赤色のカラーフィルタ及び柱状スペーサ40を形成する部分に紫外光を照射する。その後、アクリル系レジストを有機アルカリ系現像液で現像し、非露光部のレジストを除去する。

【0063】これにより、ガラス基板21上に赤色のパターンが形成される。続いて、同様な方法により、ガラス基板21上に緑色、青色、黒色のパターンを順次形成し、ブラックマトリックスを含みカラーフィルタ22を形成する。

【0064】また、柱状スペーサを形成する部分には、赤色、緑色、青色、黒色のアクリル樹脂が順に重ねられ、高さ4.5ミクロンの台形柱状の柱体42が形成される。その後、スパッタによりカラーフィルタ22およ

び柱体42上にITO膜を形成し、対向電極23とする。

【0065】続いて、TFT17の形成されたアレイ基板10、および、カラーフィルタ22、対向電極23、柱体42の形成された対向基板12上に、配向膜24、20として可溶性ポリイミド（日本合成ゴム社製AL-1051）をそれぞれ印刷し、ホットプレートを用いて80℃で1分間焼成した後、さらにN₂オープン中で180℃、30分間焼成して溶剤を揮発させる。形成されたポリイミドの厚さは200オングストロームであった。その後、ポリイミド膜をラビング処理して配向膜24、20とした。

【0066】次に、対向基板12のガラス基板21周辺部に、直径5μmのファイバーを混ぜたエポキシ系シール材を塗布した後、対向基板12をアレイ基板12と対向配置する。そして、これらの基板の正確に位置合わせし、2枚の基板を加圧した状態でオープンに入れ、160℃で2時間加熱する。これにより、シール材を完全に硬化させ、アレイ基板10と対向基板12とを貼り合わせる。

【0067】この状態において、アレイ基板10上の各TFT17のソース電極27と対向基板12上の柱体42との間には、酸化シリコンの保護層25およびポリイミド配向膜24、20が挟まれる。そして、酸化シリコンおよびポリイミドは誘電体であることから、ソース電極27、酸化シリコン保護層25、ポリイミド配向膜24、20、および柱体42からなる積層体は、補助容量機能を有する柱状スペーサ40を構成する。

【0068】本実施の形態において、各柱状スペーサ40は、縦10μm、横100μm、高さ5μmの四角柱で、容量0.4pFのコンデンサーを構成している。最後に、アレイ基板10と対向基板12との間のセルギャップに、カイラルネマティック液晶材料を注入することにより、対角9インチのTN液晶表示素子が完成する。

【0069】上記のように構成された液晶表示素子によれば、各TFTのソース電極と対向電極との間には柱状スペーサが設けられ、これらの柱状スペーサは、アレイ基板と対向基板との間のセルギャップを均一に維持するとともに、補助容量としても機能する。従って、前述した第1の実施の形態と同様な作用効果を得ることができる。

【0070】更に、第2の実施の形態によれば、各柱状スペーサ40の柱体42は、カラーフィルタの形成と同時に形成されるため、柱体を形成するための独立したメッキ工程を必要とせず、生産性の向上を図ることができる。

【0071】図4は、この発明の第3の実施の形態に係る液晶表示素子を示している。本実施の形態に係る液晶表示素子は、各柱状スペーサ40の柱体42がカーボン微粒子を含有したシロキサンにより形成されている点に

おいて、上述した第1の実施の形態と相違している。

【0072】すなわち、各柱状スペーサ40の柱体42は、カーボン微粒子を含有したシロキサンによって角柱状に形成され、対向基板12に形成された配向膜20の内面からほぼ垂直に延出しているとともに、その延出端は、アレイ基板10側に設けられたTFT17のソース電極27上において、アレイ基板側の配向膜24に接触している。

【0073】これにより、アレイ基板10のソース電極27と対向基板12上の柱体42との間に酸化シリコンの保護層25およびポリイミドの配向膜24が挟まれている。そして、酸化シリコンおよびポリイミドは誘電体であるから、ソース電極27、酸化シリコン保護層25、ポリイミド配向膜24、および柱体42の積層体は、補助容量機能を有する柱状スペーサ40を構成している。

【0074】なお、液晶表示素子の他の構成は、前述した第1の実施の形態と同一であり、同一の部分には同一の参照符号を付してその詳細な説明を省略する。次に、以上のように構成された第3の実施の形態に係る液晶表示素子の製造方法について説明する。

【0075】まず、第1の実施の形態と同様な方法により、アレイ基板10のガラス基板33上に、ゲート線32、ゲート絶縁膜35、信号線16、画素電極28、TFT17等を形成する。続いて、TFT17上に、厚さ2000オングストロームの酸化シリコンの保護層25を形成する。ソース電極27上の保護層25は補助容量の誘電体として機能する。

【0076】一方、対向基板12については、ガラス基板21上にカラーフィルタ22、およびITOからなる対向電極23を順次積層形成する。続いて、対向基板12上に、配向膜20として可溶性ポリイミド（日本合成ゴム社製AL-1051）を印刷し、ホットプレートを用いて80℃で1分間焼成した後、さらにN₂オープン中で180℃、30分間焼成して溶剤を揮発させる。形成されたポリイミドの厚さは600オングストロームであった。その後、ポリイミド膜をラビング処理して配向膜20とした。

【0077】次に、対向基板12の配向膜20にトルエンに溶解したポリシラン溶液を塗布し、120℃のオープン中に1分間入れてトルエンを揮発させ、厚さ5.5μmのポリシラン膜を形成する。そして、このポリシラン膜の内、柱状スペーサを形成する部分に紫外光を照射した後、トルエン系現像液で現像し、非露光部のレジストを除去する。

【0078】このように形成された基板を、カーボン微粒子を30%程度含有したアルコール溶液中に浸漬する。それにより、露光されたポリシラン中にカーボン微粒子が分散され、導電性をもたせることができる。続いて、基板を180℃のオープン中に10分間入れ、ポリ

シランをシロキサンに変化させ、カーボン微粒子をシロキサン中に固定化する。これにより、カーボン微粒子を含有したシロキサンの柱体42が形成される。

【0079】本実施の形態では、ラビング処理済みの配向膜20上に柱状スペーサを形成しているため、柱体42の周辺部が完全に配向処理されている。続いて、TF T17の形成されたアレイ基板10に、配向膜24として可溶性ポリイミド（日本合成ゴム社製AL-1051）を印刷し、ホットプレートを用いて80℃で1分間焼成し、さらにN₂ オープン中で180℃、30分間焼成して溶剤を揮発させる。形成されたポリイミドの厚さは600オングストロームであった。その後、ポリイミド膜をラビング処理して配向膜24とした。

【0080】次に、対向基板12のガラス基板21周辺部に、直径5μmのファイバーを混ぜたエポキシ系シール材を塗布した後、対向基板12をアレイ基板10と対向配置する。そして、これらの基板の正確に位置合わせし、2枚の基板を加圧した状態でオープンに入れ、160℃で2時間加熱する。これにより、シール材を完全に硬化させ、アレイ基板10と対向基板12とを貼り合わせる。

【0081】この状態において、アレイ基板10上の各TF T17のソース電極27と対向基板12上の柱体42との間には、酸化シリコンの保護層25およびポリイミド配向膜24が挟まれる。そして、酸化シリコンおよびポリイミドは誘電体であることから、ソース電極27、酸化シリコン保護層25、ポリイミド配向膜24、およびシロキサン柱体42からなる積層体は、補助容量機能を有する柱状スペーサ40を構成する。

【0082】本実施の形態において、各柱状スペーサ40は、縦10μm、横100μm、高さ5μmの四角柱で、容量0.15pFのコンデンサーを構成している。最後に、アレイ基板10と対向基板12との間のセルギャップに、カイラルネマティック液晶材料を注入することにより、対角9インチのTN液晶表示素子が完成する。

【0083】上記のように構成された液晶表示素子によれば、各TF Tのソース電極と対向電極との間には柱状スペーサが設けられ、これらの柱状スペーサは、アレイ基板と対向基板間のセルギャップを均一に維持するとともに、補助容量としても機能する。従って、前述した第1の実施の形態と同様な作用効果を得ることができる。

【0084】図5はこの発明の第4の実施の形態に係る液晶表示素子を示している。この液晶表示素子は、各柱状スペーサ40の柱体42がアレイ基板10側に、特に、TF T17のソース電極27上に直接形成されている点において、上述した第1の実施の形態と相違している。

【0085】すなわち、各柱状スペーサ40の柱体42はアルミニウムによって円柱形状に形成され、アレイ基

板10に設けられたTF T17のソース電極27からほぼ垂直に延出している。そして、柱体42は、ソース電極27側の端を除き、ポリイミドからなる配向膜24によって覆われている。また、柱体42の延出端は、配向膜24を介して、対向基板12側に設けられた配向膜20に接触している。

【0086】これにより、アレイ基板10のソース電極27から延出した柱体42と対向基板12との間にポリイミドの配向膜20、24が挟まれている。そして、ポリイミドは誘電体であるから、ソース電極27、アルミニウムの柱体42、および、ポリイミド配向膜24、20の積層体は、補助容量機能を有する柱状スペーサ40を構成している。

【0087】なお、液晶表示素子の他の構成は、前述した第1の実施の形態と同一であり、同一の部分には同一の参照符号を付してその詳細な説明を省略する。次に、以上のように構成された第4の実施の形態に係る液晶表示素子の製造方法について説明する。

【0088】まず、第1の実施の形態と同様な方法により、アレイ基板10のガラス基板33上に、ゲート線32、ゲート絶縁膜35、信号線16、画素電極28、TF T17等を形成する。

【0089】続いて、アレイ基板10上において、ソース電極27以外の領域を厚さ5μmのポジ型レジストでマスクし、これをA1イオンを含んだメッキ槽に入れ、メッキする。次に、ポジ型レジストを剥離し、ソース電極27上に、高さ5μm、直径20μmのA1製の円柱形状の柱体42を形成する。その後、TF T17上には、厚さ800オングストロームの酸化シリコンの保護層25を形成する。

【0090】一方、対向基板12については、ガラス基板21上にカラーフィルタ22、およびITOからなる透明な対向電極23を全面に亘って積層形成する。続いて、TF T17および柱体42の形成されたアレイ基板10上、および、カラーフィルタ22、対向電極23の形成された対向基板12上に、配向膜24、20として可溶性ポリイミド（日本合成ゴム社製AL-3046）をそれぞれ印刷し、ホットプレートを用いて80℃で1分間焼成し、さらにN₂ オープン中で180℃、30分間焼成して溶剤を揮発させる。形成されたポリイミドの厚さは180オングストロームであった。その後、ポリイミド膜をラビング処理して配向膜24、20とした。

【0091】なお、柱体42の周辺部まで十分に配向処理するため、ラビング布にはナイロン製で毛先の直径が0.1~10μmのものを使用した。次に、対向基板12のガラス基板21周辺部に、直径5μmのファイバーを混ぜたエポキシ系シール材を塗布した後、対向基板12をアレイ基板10と対向配置する。そして、これらの基板を正確に位置合わせし、2枚の基板を加圧した状態でオ

ーブunに入れ、160℃で3時間加熱する。これにより、シール材を完全に硬化させ、アレイ基板10と対向基板12とを貼り合わせる。

【0092】この状態において、アレイ基板10の各TFT17のソース電極27上に形成された柱体42と対向基板12上の対向電極23との間には、ポリイミド配向膜24、20が挟まれる。そして、ポリイミドは誘電体であることから、ソース電極27、柱体42、およびポリイミド配向膜24、20からなる積層体は、補助容量機能を有する柱状スペーサ40を構成する。

【0093】本実施の形態において、各柱状スペーサ40は、直径20ミクロンの円柱で、容量0.4pFのコンデンサーを構成している。最後に、アレイ基板10と対向基板12との間のセルギャップに、カイラルネマティック液晶材料を注入することにより、対角9インチのTN液晶表示素子が完成する。

【0094】上記のように構成された液晶表示素子によれば、各TFTのソース電極と対向電極との間には柱状スペーサが設けられ、これらの柱状スペーサは、アレイ基板と対向基板との間のセルギャップを均一に維持するとともに、補助容量としても機能する。従って、前述した第1の実施の形態と同様な作用効果を得ることができる。

【0095】更に、第4の実施の形態によれば、各柱状スペーサ40の柱体42は、TFT17のソース電極27上に直接形成されていることから、ソース電極に対して高精度に位置決めすることができる。従って、柱状スペーサに起因する開口率の低下を一層低減し、コントラストおよび表示品位の向上を図ることができる。

【0096】図6は、この発明の第5の実施の形態に係る液晶表示素子を示している。本実施の形態に係る液晶表示素子は、カラーフィルタを形成するためのアクリル樹脂の積層体により各柱状スペーサ40の柱体42を構成している点、および、画素電極の一部をTFT上まで延出し、この延出部に柱状スペーサを配置した点において、上述した第1の実施の形態と相違している。

【0097】すなわち、各柱状スペーサ40の柱体42は、対向基板12に形成されたカラーフィルタ22の内面からほぼ垂直に延出した角柱形状を有している。この柱体42は、カラーフィルタ22を形成する際に、赤色、緑色、青色、黒色のアクリル樹脂を順に積層することにより形成されている。そして、柱体42は、カラーフィルタ22側の端を除き、ITOからなる対向電極23、ポリイミドからなる配向膜20によって覆われている。

【0098】また、アレイ基板10側において、ITOからなる各画素電極28は、TFT17上に延出した延出部28aを有している。そして、柱体42の延出端は、画素電極28の延出部28a上に位置し、対向電極23、配向膜20を介して、アレイ基板側の配向膜24

に接触している。

【0099】これにより、TFT17上に位置した画素電極28の延出部28aと対向基板12上の柱体42との間に対向電極23およびポリイミドの配向膜20、24が挟まれている。そして、ポリイミドは誘電体であるから、画素電極28の延出部28a、ポリイミド配向膜20、24、および柱体42の積層体は、補助容量機能を有する柱状スペーサ40を構成している。

【0100】なお、液晶表示素子の他の構成は、前述した第1の実施の形態と同一であり、同一の部分には同一の参照符号を付してその詳細な説明を省略する。次に、以上のように構成された第5の実施の形態に係る液晶表示素子の製造方法について説明する。

【0101】まず、第1の実施の形態と同様な方法により、アレイ基板10のガラス基板33上に、ゲート線32、ゲート絶縁膜35、信号線16、TFT17等を形成する。続いて、TFT17上に、厚さ800オングストロームの酸化シリコンの保護層25を形成する。

【0102】その後、ゲート絶縁膜35上にITOからなる画素電極28を形成する。その際、画素電極28の一部をTFT17上にも形成し、延出部28aを構成する。一方、対向基板12については、ガラス基板21上にカラーフィルタ22を形成する。この場合、まず、ガラス基板21上に赤色の顔料を分散させたアクリル系レジストを印刷し、赤色のカラーフィルタ及び柱状スペーサ40を形成する部分に紫外光を照射する。その後、アクリル系レジストを有機アルカリ系現像液で現像し、非露光部のレジストを除去する。

【0103】これにより、ガラス基板21上に赤色のパターンが形成される。続いて、同様な方法により、ガラス基板21上に緑色、青色、黒色のパターンを順次形成し、ブラックマトリックスを含みカラーフィルタ22を形成する。

【0104】また、柱状スペーサを形成する部分には、赤色、緑色、青色、黒色のアクリル樹脂が順に重ねられ、高さ3.5ミクロンの台形柱状の柱体42が形成される。その後、スパッタによりカラーフィルタ22および柱体42上にITO膜を形成し、対向電極23とする。

【0105】続いて、TFT17の形成されたアレイ基板10上、および、カラーフィルタ22、対向電極23、柱体42の形成された対向基板12上に、配向膜24、20として可溶性ポリイミド（日本合成ゴム社製AL-1051）をそれぞれ印刷し、ホットプレートを用いて80℃で1分間焼成した後、さらにN₂オーブン中で180℃、30分間焼成して溶剤を揮発させる。形成されたポリイミドの厚さは500オングストロームであった。その後、ポリイミド膜をラビング処理して配向膜24、20とする。

【0106】次に、対向基板12のガラス基板21周辺

部に、直径5 μ mのファイバーを混ぜたエポキシ系シール材を塗布した後、対向基板12をアレイ基板12と対向配置する。そして、これらの基板の正確に位置合わせし、2枚の基板を加圧した状態でオープンに入れ、160℃で2時間加熱する。これにより、シール材を完全に硬化させ、アレイ基板10と対向基板12とを貼り合わせる。

【0107】この状態において、アレイ基板10の各TFT17上に形成された画素電極28の延出部28aと対向基板12上の柱体42との間には、対向電極23およびポリイミド配向膜24、20が挟まれる。そして、ポリイミドは誘電体であることから、延出部28a、ポリイミド配向膜24、20、および柱体42からなる積層体は、補助容量機能を有する柱状スペーサ40を構成する。

【0108】本実施の形態において、各柱状スペーサ40は、縦15 μ 、横15 μ 、高さ3.5 μ の四角柱で、容量0.1pFのコンデンサーを構成している。最後に、アレイ基板10と対向基板12との間のセルギャップに、カイラルネマティック液晶材料を注入することにより、対角9インチのTN液晶表示素子が完成する。

【0109】上記のように構成された液晶表示素子によれば、各TFT上に延出した画素電極の延出部と対向電極との間に柱状スペーサが設けられ、これらの柱状スペーサは、アレイ基板と対向基板との間のセルギャップを均一に維持するとともに、補助容量としても機能する。そして、柱状スペーサは、非表示領域となるTFT上に設けられていることから、前述した第1の実施の形態と同様な作用効果を得ることができる。

【0110】更に、第5の実施の形態によれば、各柱状スペーサ40の柱体42は、カラーフィルタの形成と同時に形成されるため、柱体を形成するための独立したメッキ工程を必要とせず、生産性の向上を図ることができる。

【0111】なお、第5の実施の形態において、柱状スペーサ40の柱体42は、カラーフィルタ材料の積層体に限らず、第1あるいは第3の実施の形態と同様に、銅あるいはカーボン粒子を含有したシロキサン等の導電体によって形成されていてもよい。

【0112】また、この発明は上述した実施の形態に限定されることなく、この発明の範囲内で種々変形可能である。例えば、上述した実施の形態においては、スイッチング素子として薄膜トランジスタを用いたが、これに

限らず、薄膜ダイオード等の他のスイッチング素子を用いてもよい。

【0113】

【発明の効果】以上詳述したように、本発明によれば、画素電極に印加された電圧を保持するための補助容量として機能する柱状スペーサを、スイッチング素子上に配置することにより、外力が作用した場合でもセルギャップを均一に維持できるとともに、開口率およびコントラストが高く、表示品位も良好な液晶表示素子を、安価に提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る液晶表示素子のアレイ基板を示す平面図。

【図2】上記の実施の形態に係る液晶表示素子の断面図。

【図3】本発明の第2の実施の形態に係る液晶表示素子の断面図。

【図4】本発明の第3の実施例に係る液晶表示素子の断面図。

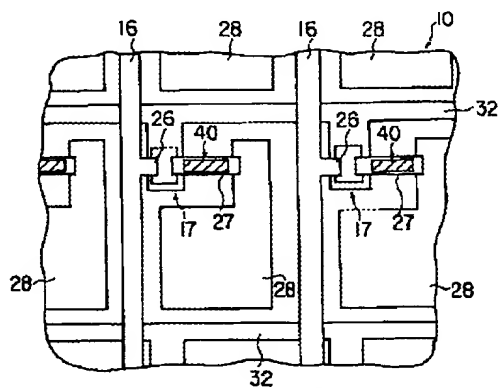
【図5】本発明の第4の実施例に係る液晶表示素子の断面図。

【図6】本発明の第5の実施例に係る液晶表示素子の断面図。

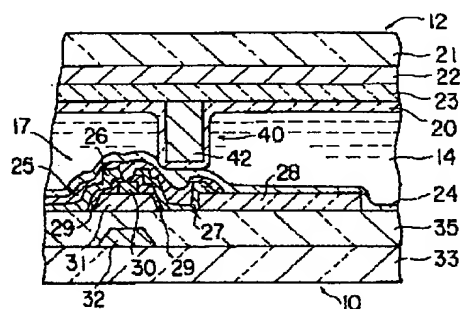
【符号の説明】

- 10…アレイ基板
- 12…対向基板
- 14…液晶層
- 16…信号線
- 17…薄膜トランジスタ
- 20、24…配向膜
- 22…カラーフィルタ
- 23…対向電極
- 25…保護膜
- 26…ドレイン電極
- 27…ソース電極
- 28…画素電極
- 28a…延出部
- 30…チャネル保護膜
- 32…ゲート線
- 35…ゲート絶縁膜
- 40…柱状スペーサ
- 42…柱体

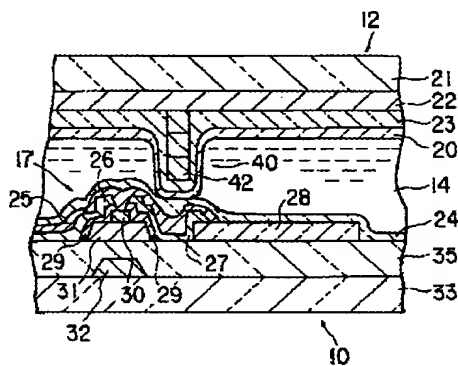
【図1】



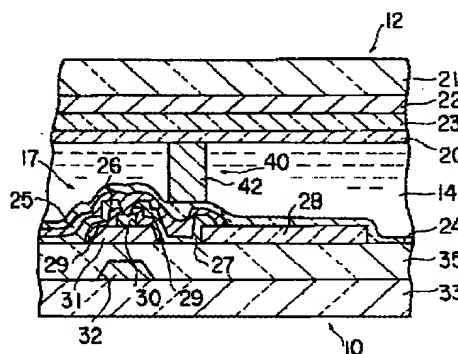
【図2】



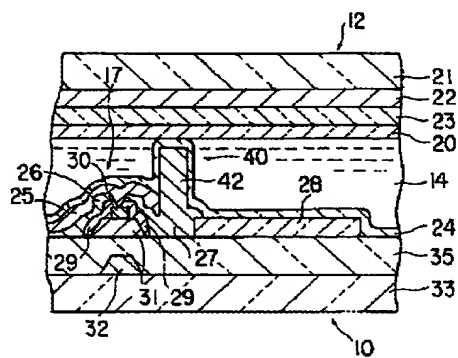
【図3】



【図4】



【図5】



【図6】

